

10/518649



REC'D 01 SEP 2003
WIPO PCT

BREVET D'INVENTION

CERTIFICAT D'UTILITÉ - CERTIFICAT D'ADDITION

COPIE OFFICIELLE

Le Directeur général de l'Institut national de la propriété industrielle certifie que le document ci-annexé est la copie certifiée conforme d'une demande de titre de propriété industrielle déposée à l'Institut.

Fait à Paris, le 30 MAI 2003

Pour le Directeur général de l'Institut
national de la propriété industrielle
Le Chef du Département des brevets

Martine PLANCHE

DOCUMENT DE PRIORITÉ

PRÉSENTÉ OU TRANSMIS
CONFORMÉMENT À LA
RÈGLE 17.1.a) OU b)

INSTITUT
NATIONAL DE
LA PROPRIÉTÉ
INDUSTRIELLE

SIEGE
26 bis, rue de Saint Petersbourg
75800 PARIS cedex 08
Téléphone : 33 (0)1 53 04 53 04
Télécopie : 33 (0)1 53 04 45 23
www.inpi.fr

BEST AVAILABLE COPY



INSTITUT
NATIONAL DE
LA PROPRIÉTÉ
INDUSTRIELLE

26 bis, rue de Saint Pétersbourg
75800 Paris Cedex 08
Téléphone : 01 53 04 53 04 Télécopie : 01 42 94 86 54

BREVET D'INVENTION

CERTIFICAT D'UTILITÉ

Code de la propriété intellectuelle - Livre VI

N° 11354*01

REQUÊTE EN DÉLIVRANCE 1/2

Cet imprimé est à remplir lisiblement à l'encre noire

DB 540 W /260893

REMISE DES PIÈCES DATE LIEU		Réervé à l'INPI	
19 JUIN 2002 75 INPI PARIS		0207560	
N° D'ENREGISTREMENT NATIONAL ATTRIBUÉ PAR L'INPI		19 JUIN 2002	
DATE DE DÉPÔT ATTRIBUÉE PAR L'INPI		Brevet attribué par l'INPI à la télécopie	
Vos références pour ce dossier (facultatif) B 13989.3 PR (DD 2296)		Cochez l'une des 4 cases suivantes	
2 NATURE DE LA DEMANDE		Demande de brevet <input checked="" type="checkbox"/> Transformation d'une demande de brevet européen <input type="checkbox"/>	
Demande de certificat d'utilité <input type="checkbox"/>		Demande divisionnaire <input type="checkbox"/>	
Demande de brevet initiale ou demande de certificat d'utilité initiale <input type="checkbox"/>		N° N°	Date <input type="text"/> / <input type="text"/> / <input type="text"/> Date <input type="text"/> / <input type="text"/> / <input type="text"/>
Transformation d'une demande de brevet européen Demande de brevet initiale <input type="checkbox"/>		N°	Date <input type="text"/> / <input type="text"/> / <input type="text"/>
3 TITRE DE L'INVENTION (200 caractères ou espaces maximum)			
BOUCLE A VERROUILLAGE DE RETARD			
4 DÉCLARATION DE PRIORITÉ OU REQUÊTE DU BÉNÉFICE DE LA DATE DE DÉPÔT D'UNE DEMANDE ANTÉRIEURE FRANÇAISE		Pays ou organisation Date <input type="text"/> / <input type="text"/> / <input type="text"/> N° Pays ou organisation Date <input type="text"/> / <input type="text"/> / <input type="text"/> N° Pays ou organisation Date <input type="text"/> / <input type="text"/> / <input type="text"/> N°	
		<input type="checkbox"/> S'il y a d'autres priorités, cochez la case et utilisez l'imprimé « Suite »	
5 DEMANDEUR		<input type="checkbox"/> S'il y a d'autres demandeurs, cochez la case et utilisez l'imprimé « Suite »	
Nom ou dénomination sociale		COMMISSARIAT A L'ENERGIE ATOMIQUE	
Prénoms			
Forme juridique		Etablissement public de caractère Scientifique, Technique et Industriel	
N° SIREN			
Code APE-NAF			
Adresse	Rue	31-33 rue de la Fédération	
	Code postal et ville	75752	PARIS 15ème
Pays		FRANCE	
Nationalité		FRANCAISE	
N° de téléphone (facultatif)			
N° de télécopie (facultatif)			
Adresse électronique (facultatif)			

**BREVET D'INVENTION
CERTIFICAT D'UTILITÉ**

REQUÊTE EN DÉLIVRANCE 2/2

REMISE DES PIÈCES DATEE	15 JUIN 2002	Réserve à l'INPI
LIEU	75 INPI PARIS	
N° D'ENREGISTREMENT	0207560	
NATIONAL ATTRIBUÉ PAR L'INPI		DB 540 W /260399

Vos références pour ce dossier : <i>(facultatif)</i>		B 13989.3 PR (DD 2296)
6 MANDATAIRE		
Nom		RICHARD
Prénom		Patrick
Cabinet ou Société		BREVATOME 422.5/S002
N° de pouvoir permanent et/ou de lien contractuel		7068 du 12.06.98
Adresse	Rue	3 rue du Docteur Lancereaux
	Code postal et ville	75008 PARIS
N° de téléphone <i>(facultatif)</i>		01.53.83.94.00
N° de télécopie <i>(facultatif)</i>		01.45.63.83.33
Adresse électronique <i>(facultatif)</i>		brevets.patents@brevalex.com
7 INVENTEUR (S)		
Les inventeurs sont les demandeurs		<input type="checkbox"/> Oui <input checked="" type="checkbox"/> Non Dans ce cas fournir une désignation d'inventeur(s) séparée
8 RAPPORT DE RECHERCHE		Uniquement pour une demande de brevet (y compris division et transformation)
Établissement immédiat ou établissement différé		<input checked="" type="checkbox"/> <input type="checkbox"/>
Paiement échelonné de la redevance		Paiement en trois versements, uniquement pour les personnes physiques <input type="checkbox"/> Oui <input type="checkbox"/> Non
9 RÉDUCTION DU TAUX DES REDEVANCES		Uniquement pour les personnes physiques <input type="checkbox"/> Requise pour la première fois pour cette invention (<i>joindre un avis de non-imposition</i>) <input type="checkbox"/> Requise antérieurement à ce dépôt (<i>joindre une copie de la décision d'admission pour cette invention ou indiquer sa référence</i>) :
Si vous avez utilisé l'imprimé « Suite », indiquez le nombre de pages jointes		
10 SIGNATURE DU DEMANDEUR OU DU MANDATAIRE <i>(Nom et qualité du signataire)</i>		VISA DE LA PRÉFECTURE OU DE L'INPI
P. RICHARD 422-5 S/002		 M. BLANCANEAU

BOUCLE A VERROUILLAGE DE RETARD

Domaine technique et art antérieur

L'invention concerne une boucle à verrouillage de retard plus communément appelée boucle DLL (DLL pour « Delay Locked Loop »).

Les boucles DLL sont communément utilisées pour aligner en phase deux signaux d'horloge, notamment dans les mémoires DRAM (DRAM pour « Dynamic Random Access Memory »). Les boucles DLL permettent alors d'obtenir un très bon synchronisme entre une horloge externe au circuit intégré et une horloge interne. Les boucles DLL sont également utilisées pour générer ou mesurer un retard temporel avec précision, ou encore pour générer des horloges d'échantillonnage de signal (cf. « An Eight Channel 36GSample/s CMOS Timing Analyser », Dan Weinlader, Ron Ho, Chih-Kong Ken Yang, Mark Horowitz, 2000 IEEE International Solid-State Circuits Conference).

L'invention s'applique à tous les domaines mentionnés ci-dessus et, de façon plus particulièrement avantageuse, à la génération et à la mesure de retards dans les émetteurs-récepteurs utilisant la technique de communication de type ultra large bande.

Le schéma de principe d'une boucle DLL selon l'art antérieur est donné en figure 1. La boucle DLL comprend une chaîne de retard composée de n cellules de retard R_i ($i=1, 2, 3, \dots, n-1, n$) en série, d'un détecteur de phase/fréquence 1, d'une pompe de charges 2 et d'un filtre de boucle 3. Chaque cellule de retard introduit un retard Δt identique aux retards des autres

cellules. Le retard Δt peut être contrôlé par un signal qui peut être une tension ou un courant. Chaque cellule de retard peut être réalisée à l'aide d'une paire différentielle. La variation du retard Δt est alors 5 obtenue par la variation du courant de polarisation de la paire différentielle.

L'entrée et la sortie de la chaîne de retard sont appliqués au détecteur de phase/fréquence 1. Le détecteur de phase/fréquence 1 peut être un simple 10 comparateur de phase qui compare les phases des signaux d'entrée et de sortie de la chaîne de retard. Le signal issu du détecteur 1 commande la pompe de charge 2 qui génère alors un courant fonction de la différence de phase entre le signal d'entrée et le signal de sortie 15 de la chaîne de retard. Ce courant est appliqué en entrée du filtre de boucle 3 pour être filtré. Le courant filtré issu du filtre de boucle 3 est appliqué aux cellules de la chaîne de retard pour contrôler le retard des cellules.

20 Le mode de fonctionnement d'une boucle DLL selon l'art connu va maintenant être décrit.

Un signal de période T est appliqué sur l'entrée de la chaîne de retard. Lorsque la boucle DLL est stabilisée, les signaux en entrée et en sortie de 25 la chaîne de retard sont en phase. Le retard entre ces deux signaux est alors égal à T . Puisque toutes les cellules de retard sont identiques, le retard apporté par une cellule est égal à T/n . On dispose alors, en plus du signal d'horloge appliqué en entrée de la 30 chaîne de retard, de n signaux d'horloge a_i ($i=1, 2, 3, \dots, n-1, n$), un signal a_i étant décalé de l'intervalle

de temps iT/n par rapport au signal d'horloge appliqué en entrée de la chaîne de retard. Les différents signaux ai peuvent être utilisés pour mesurer un retard, générer un retard, synthétiser un signal de fréquence, reconstruire des signaux, et..

Un avantage de ce type de structure est la faible consommation. Cependant, plusieurs inconvénients peuvent être soulignés.

Ainsi, générer un retard mT/n peut-il conduire à utiliser un nombre n de cellules élevé. Par exemple, un retard de $13T/100$ ($m=13$ et $n=100$) nécessite l'utilisation de cent cellules de retard.

Par ailleurs, la structure est limitée en fréquence par le retard minimum T_{min} qu'impose chaque cellule de retard élémentaire. Lorsqu'on travaille à fréquence maximale, il n'est en effet pas possible de générer un retard qui ne soit pas un multiple entier de T_{min} .

L'invention ne présente pas ces inconvénients.

20

Exposé de l'invention

En effet l'invention concerne une boucle à verrouillage de retard comprenant une chaîne de cellules de retard montées en série, un signal de retard délivré par la boucle étant prélevé sur la sortie d'une des cellules de retard, l'entrée de la chaîne de cellules de retard étant connectée à une première entrée d'un détecteur de phase/fréquence dont une deuxième entrée est connectée à une sortie de cellule de retard. La boucle de retard comprend des moyens de commande aptes à modifier, au rythme d'un

signal d'horloge et sous l'action d'une information de commande, la sortie de la cellule de retard qui est connectée à la deuxième entrée du détecteur phase/fréquence.

5 La boucle à verrouillage de retard selon l'invention permet ainsi de modifier le nombre de cellules de retard vu par le détecteur de phase/fréquence. Cette modification permet de produire un retard élémentaire de chaque cellule de retard
10 différent du retard élémentaire T/n obtenu selon l'art antérieur.

Comme cela apparaîtra dans la suite de la description, le retard d'une cellule de retard élémentaire peut alors être un retard fractionnaire. Il
15 est ainsi possible d'obtenir une boucle DLL fractionnaire.

Une modification du nombre de cellules de retard vues par le détecteur de phase/fréquence peut se faire à chaque coup d'horloge du signal appliqué en
20 entrée de la chaîne de retard. Cette modification peut également se faire à une fréquence plus faible.

L'utilisation d'un nombre de cellules de retard inférieur au nombre total de cellules de retard disponibles présente également l'avantage de réduire la
25 consommation de la boucle DLL. De plus, la fréquence de travail maximum est augmentée puisque cette fréquence maximum est inversement proportionnelle à la quantité NT_{min} , où N est le nombre de cellules de retard utilisées et T_{min} est le délai minimal apporté par une
30 cellule de retard élémentaire.

Brève description des figures

D'autres caractéristiques et avantages de l'invention apparaîtront à la lecture d'un mode de réalisation préférentiel de l'invention fait en 5 référence aux figures jointes parmi lesquelles :

- la figure 1 représente une boucle à verrouillage de retard selon l'art antérieur ;
- la figure 2 représente une boucle à verrouillage de retard selon un premier mode de réalisation de 10 l'invention ;
- la figure 3 représente un exemple de boucle à verrouillage de retard selon le premier mode de réalisation de l'invention ;
- la figure 4 représente une boucle à verrouillage de retard selon un deuxième mode de réalisation de 15 l'invention ;
- les figures 5A et 5B représentent, respectivement, un perfectionnement de la boucle à verrouillage de retard selon le premier mode de réalisation de 20 l'invention et un perfectionnement de la boucle à verrouillage de retard selon le deuxième mode de réalisation de l'invention.

Sur toutes les figures, les mêmes références désignent les mêmes éléments.

25

Description détaillée de modes de mise en œuvre de l'invention

La figure 1 a été décrite précédemment ; il est donc inutile d'y revenir.

30

La figure 2 représente une boucle à verrouillage de retard selon un premier mode de

réalisation de l'invention.

Outre les éléments déjà mentionnés en description de la figure 1, une boucle DLL selon le premier mode de réalisation de l'invention comprend des 5 moyens de multiplexage 4. Les moyens de multiplexage 4 comprennent n entrées de signal, une sortie de signal, une entrée d'horloge et une entrée de commande.

Chaque entrée de signal des moyens de multiplexage 4 est reliée à un signal retardé ai 10 différent ($i=1, 2, \dots, n$). La sortie de signal est reliée à l'une des entrées du détecteur de phase/fréquence 1. Le signal qui, parmi les signaux appliqués en entrée du multiplexeur, est appliqué sur l'entrée du détecteur de phase/fréquence 1 est 15 déterminé par un signal d'horloge H appliqué sur l'entrée d'horloge et par une information I appliquée sur l'entrée de commande. A chaque coup du signal d'horloge H, le signal appliqué au détecteur de phase/fréquence est choisi en fonction de l'information 20 I. L'information I effectue ainsi la sélection du séquencement des signaux qui sont appliqués, au rythme du signal d'horloge H, en entrée du détecteur de phase/fréquence.

Le signal d'horloge H peut être le même signal 25 que le signal d'horloge appliqué en entrée de la chaîne de retard ou un signal d'horloge différent. L'information I peut être une information périodique ou non périodique.

De façon générale, la modification du nombre de 30 cellules de retard vues par le détecteur de phase/fréquence peut avoir lieu à chaque coup d'horloge

du signal d'horloge H ou à une fréquence plus faible. Cette modification peut être mise en œuvre de telle sorte que la valeur moyenne du nombre de cellules de retard vues par le détecteur de phase/fréquence est 5 choisie à l'avance en fonction du retard fractionnel que l'on cherche à obtenir. A titre d'exemple, la valeur moyenne du nombre de cellules de retard vues par le détecteur peut être obtenue en effectuant une moyenne pondérée et en utilisant comme pondération pour 10 chaque cellule de retard le nombre de coup d'horloge de l'horloge H pendant lequel le nombre de cellules de retard est effectif. Il existe alors une relation entre le nombre moyen de cellules de retard utilisées NC et le retard Δt d'une cellule élémentaire, à savoir :

15

$$\Delta t = T/NC$$

A titre d'illustration des performances d'une boucle DLL selon l'invention, un exemple non limitatif 20 va maintenant être donné. On considère une chaîne de retard qui comprend dix cellules de retard ($n=10$). On suppose que l'horloge H qui commande le multiplexage est identique, à un retard près, à l'horloge qui est appliquée en entrée de la chaîne de retard. Le signal 25 appliqué au détecteur de phase/fréquence est différent à chaque coup d'horloge de la fréquence d'entrée. On suppose également, dans cet exemple, que le signal sélectionné par l'information I pour être appliqué en entrée du détecteur de phase/fréquence est une 30 alternance des signaux a10 et a9. La phase moyenne qui est comparée par le détecteur de phase/fréquence est

alors égale à $9.5 \Delta t$, où Δt est le retard d'une cellule de retard élémentaire. Il vient donc la relation:

$$\Delta t = 2T/19$$

Il est alors possible de générer des retards égaux à
5 $2T/19, 4T/19, \dots, 18T/19$ avec une chaîne de dix retards. Pour obtenir un tel résultat à l'aide une boucle DLL selon l'art antérieur, dix-neuf retards sont nécessaires.

Il va maintenant être décrit comment, de façon
10 plus générale, générer un retard quelconque à partir d'une boucle DLL fractionnaire simple. Par boucle DLL fractionnaire simple, il faut entendre une boucle DLL qui n'utilise, pour le multiplexage, que deux signaux de retard successifs, par exemple les signaux a_{n-1} et
15 a_n .

On suppose que les signaux a_{n-1} et a_n sont respectivement utilisés pendant p coups d'horloge et $q-p$ coups d'horloge. La valeur moyenne du retard apporté par la chaîne de retard est alors égale à $(n-p/q)\Delta t$. La
20 valeur du retard d'une cellule élémentaire est alors donnée par la relation :

$$\Delta t = q T / (qn-p)$$

A titre d'exemple non limitatif, pour une chaîne de retard comprenant dix cellules de retard et
25 en supposant que I est un signal périodique de période $100T$ ($q=100$ et la valeur moyenne d'un retard est alors obtenue sur 100 points), il vient donc:

$$\Delta t = 100T / (1000-p)$$

Une évaluation du nombre p conduit alors à :

30 $P = \text{PART}[1000-100T/\Delta t]$

où $\text{PART}[X]$ représente la partie entière de X .

Pour réaliser un retard fractionnaire égal à aT/b en sortie de la cellule de retard de rang k , a et b étant deux nombres entiers quelconques, il faut poser :

5 $k \Delta t = a T/b$, soit

$$a T/b = k q T/(q n-p)$$

Il apparaît donc un système de 2 équations à 4 inconnues p , q , n , k , chaque inconnue étant un nombre entier. Un tel système d'équations a toujours des 10 solutions.

Par exemple, pour réaliser un retard égal à $13T/100$, la solution est la suivante :

$$p=4, q=13, n=8, k=1$$

Le retard de $13T/100$ est alors obtenu avec 15 seulement huit cellules de retard. Ce résultat est à comparer avec le résultat obtenu selon l'art antérieur où cent cellules de retard sont nécessaires (cf. ci-dessus).

Un autre exemple peut être donné pour 20 l'obtention d'un retard de $14T/121$. La solution suivante est alors obtenue :

$$p=5, q=7, n=18, k=2.$$

Dans cet exemple, le nombre de cellules peut encore être réduit par la solution ci-dessous :

25 $p=5, q=14, n=9, k=1.$

Neuf cellules sont alors avantageusement suffisantes.

Un exemple de boucle DLL selon le premier mode de réalisation de l'invention va maintenant être décrit en référence à la figure 3.

30 Selon l'exemple de la figure 3, les moyens de multiplexage 4 comprennent un multiplexeur 5 et un

modulateur sigma delta 6. Le modulateur sigma delta 6 comprend une entrée d'horloge et une entrée de signal. Le signal d'horloge H est appliqué sur l'entrée d'horloge et l'information I est appliquée sur l'entrée de signal. Le modulateur sigma delta 6 convertit, au rythme du signal d'horloge H, l'information I en un signal de commande numérique C. Le signal de commande numérique C commande la commutation du multiplexeur 5. Un avantage de l'utilisation d'un modulateur sigma delta est de réduire le bruit de l'information de commande de commutation.

Dans le cas, par exemple, d'une boucle DLL fractionnaire simple, pour générer un séquencement correct des signaux à appliquer au détecteur de phase/fréquence, l'information I appliquée au modulateur sigma delta est égale à une valeur fractionnaire p/q , comme cela a été mentionné précédemment. Le signal C délivré en sortie du modulateur prend deux états différents (un état +1 pour choisir le signal an et un état 0 pour choisir le signal a_{n-1}) de telle sorte que la valeur moyenne du signal C soit égale à p/q , à l'erreur de quantification près (une optimisation du modulateur permet cependant de réduire cette erreur de quantification). Il est alors possible d'obtenir un retard moyen de la boucle égal à la quantité $(n-p/q)\Delta t$, ce qui est le but recherché.

Une boucle DLL selon le premier mode de réalisation de l'invention n'est bien sûr pas limitée à l'exemple de boucle DLL fractionnaire simple mentionné ci-dessus. De façon plus générale, l'utilisation d'un

modulateur sigma delta avec un quantificateur multibit conduit à pouvoir choisir entre les n sorties de retard de la boucle DLL, n étant un nombre supérieur ou égal à 2.

Il est également possible, selon l'invention, d'appliquer une information I variable en entrée du modulateur sigma delta. On obtient alors un retard ou une fréquence modulé par une grandeur variable contenue dans l'information I. Le nombre NC de cellules de retard utilisées est alors une grandeur variable qui module le retard Δt d'une cellule élémentaire. L'invention peut ainsi être mise en oeuvre pour générer un retard variable utilisé pour générer un signal de modulation PPM (PMM pour « Pulse Position Modulation ») utilisé dans en technologie UWB (UWB pour « Ultra Wide Band »).

La figure 4 représente un deuxième mode de réalisation de boucle de verrouillage de retard selon l'invention.

Outre les circuits représentés en figure 1, la boucle à verrouillage de retard de la figure 4 comprend un premier ensemble d'interrupteurs I_{qi} ($i=1, 2, \dots, n$), un deuxième ensemble d'interrupteurs I_{pi} ($i=1, 2, \dots, n$) et un circuit de commande 7. Chaque interrupteur I_{pi} est placé en sortie du retard R_i et chaque interrupteur I_{qi} est placé en parallèle de l'ensemble formé par le retard R_i et l'interrupteur I_{pi} .

Les interrupteurs I_{pi} et I_{qi} sont commandés par les signaux de commande respectifs p_i et q_i . Le circuit de commande 7 comprend une entrée d'horloge et une entrée de commande sur lesquelles sont respectivement

appliqués un signal d'horloge H et un signal de commande I. Les signaux pi et qi sont issus du circuit de commande 7. A chaque coup de l'horloge H, le circuit de commande 7 délivre une combinaison de signaux de commande pi, qi, aptes à ouvrir ou fermer les interrupteurs respectifs Ipi, Iqi. Il est alors possible de retirer un ou plusieurs retards quelconque de la boucle de retards. Si la sortie de la boucle de retard doit osciller, par exemple, entre les signaux an et an-1, il est alors possible de court-circuiter alternativement chacune des cellules de retard suivant un algorithme adapté à cette fin (algorithme aléatoire, algorithme à mise en forme de bruit, etc.). Cela permet avantageusement de réduire l'influence de la dispersion des retards entre chacune des cellules de retard. En effet, par exemple, au cas où la dernière cellule de retard Rn présente un retard sensiblement différent du retard des autres cellules, l'influence de cette cellule sera différente de celles des autres cellules du fait de sa commutation hors boucle.

Une boucle à verrouillage de retard selon le deuxième mode de réalisation de l'invention présente les mêmes avantages qu'une boucle à verrouillage de retard selon le premier mode de réalisation. A titre d'exemple non limitatif, il est ainsi possible de réaliser une boucle DLL fractionnaire simple utilisant deux signaux de retard successifs, par exemple, les signaux an-1 et an. La valeur du retard Δt d'une cellule élémentaire est alors donnée par la relation :

30

$$\Delta t = q T / (qn-p),$$

où les grandeurs p, q, n et T sont les grandeurs

définies précédemment.

De même, le circuit de commande 7 peut être constitué d'un modulateur sigma delta et d'un circuit de commande numérique (non représentés sur les 5 figures). Les signaux d'horloge H et de commande I sont appliqués sur le modulateur sigma delta et un signal de commande numérique C délivré par le modulateur sigma delta est appliqué au circuit de commande numérique.

Selon un perfectionnement du deuxième mode de 10 réalisation de l'invention, il est possible de rajouter des interrupteurs et des charges commutables en entrée et en sortie des différentes cellules de retard de sorte que, quel que soit le retard programmé, le nombre 15 d'interrupteurs traversés soit toujours le même et que chaque cellule de retard voit toujours la même charge sur son entrée et sur sa sortie.

Dans le cadre d'une réalisation de boucle à verrouillage de retard en technologie sur silicium, et quel que soit le mode de réalisation de l'invention, la 20 précision du retard généré ou de la fréquence synthétisée est fonction de l'appariement qui existe entre les différentes cellules de retard. Le nombre de cellules de retard d'une boucle à verrouillage selon l'invention étant très sensiblement réduit par rapport 25 au nombre de cellules de retard d'une boucle à verrouillage selon l'art antérieur, la contrainte de temps de propagation d'une cellule de retard élémentaire peut être réduite. Il est alors possible d'augmenter la surface des composants utilisés pour 30 réaliser une cellule de retard élémentaire, ce qui a pour effet avantageux d'augmenter la précision de la

boucle.

De même, quel que soit son mode de réalisation, une boucle à verrouillage de retard selon l'invention permet avantageusement de générer des retards qui ne 5 sont pas des multiples entiers du délai minimum T_{min} tout en travaillant à la fréquence maximale d'utilisation.

D'une façon générale, le grand nombre de degrés de liberté d'une boucle DLL selon l'invention 10 comparativement au nombre de degrés de liberté d'une boucle DLL selon l'art antérieur permet d'étendre et d'améliorer très sensiblement les performances de la boucle.

L'invention est avantageusement réalisée si 15 elle utilise les techniques classiques d'intégration VLSI sur silicium.

La figure 5A et 5B représentent un perfectionnement de la boucle à verrouillage de retard selon, respectivement, le premier mode de réalisation 20 de l'invention et le deuxième mode de réalisation de l'invention.

Le fonctionnement d'une boucle à verrouillage de retard comprend deux phases distinctes : une phase d'accrochage et une phase durant laquelle le délai 25 élémentaire ne varie plus.

Le retard généré par chacune des cellules de la boucle de retard a une limite inférieure et une limite supérieure. Lors de la phase d'accrochage, un problème de convergence peut alors apparaître, particulièrement 30 lorsque les contraintes d'accrochage sont sévères. Ce problème de convergence peut également apparaître du

fait de la grande dispersion des délais élémentaires des différentes cellules lorsque la boucle à verrouillage de retard est réalisée en technologie sur silicium. Lors de la phase d'accrochage, une boucle à verrouillage de retard peut alors se trouver dans un état de blocage lorsque le retard minimum de chaque cellule est atteint et que le retard global est encore trop élevé. La boucle à verrouillage de retard selon le perfectionnement de l'invention représenté aux figures 5A et 5B permet de supprimer cet inconvénient.

Selon le perfectionnement de l'invention, la boucle à verrouillage de retard comprend, en plus des éléments précédemment décrits, un dispositif d'analyse de convergence 8, un commutateur 9 et un circuit de traitement 10. L'entrée du dispositif d'analyse de convergence 8 est reliée à la sortie du détecteur de phase/fréquence 1. Le commutateur 9 comprend deux entrées de signal, une entrée de commande et une sortie. Une première entrée de signal du commutateur 9 est reliée à la sortie du dispositif d'analyse de convergence 8 alors que l'information I mentionnée précédemment est appliquée sur la deuxième entrée de signal. La sortie du commutateur 9 est reliée à l'entrée du circuit de traitement 10 dont la sortie est reliée à l'entrée de commande des moyens de multiplexage 4 (cas de la figure 5A) ou à l'entrée de commande du circuit de commande 7 (cas de la figure 5B).

Le dispositif d'analyse de convergence 8 délivre sur sa sortie une information qui mesure l'état de stabilité et de convergence de la boucle. Le

dispositif d'analyse de convergence 8 délivre également le signal de commande du commutateur 9.

Durant la phase d'accrochage, le commutateur 9 est commandé de sorte que la sortie du dispositif 5 d'analyse de convergence 8 soit reliée, via le circuit de traitement 10, à l'entrée de commande des moyens de multiplexage 4 (cas de la figure 5A) ou à l'entrée de commande du circuit de commande 7 (cas de la figure 5B). Le circuit de traitement 10 utilise les 10 informations de convergence issues du dispositif 8 pour indiquer aux moyens de multiplexage 4 ou au circuit de commande 7 s'il doit augmenter ou diminuer le nombre de cellules dans la boucle. Le signal S issu du circuit de traitement 10 constitue alors une commande permettant 15 de sélectionner un nombre de cellules de retard apte à éviter le blocage de la boucle.

Lorsque la phase d'accrochage est terminée, le commutateur 9 est commandé de sorte que l'entrée du circuit de traitement 10 soit reliée à l'information I 20 précédemment mentionnée. L'information I est alors traitée par le circuit 10 en fonction du nombre de cellules de retard sélectionné pendant la phase d'accrochage. Le circuit de traitement 10 aura donc auparavant mémorisé le nombre de cellules sélectionnées 25 pour obtenir la convergence. Le signal S appliqué sur l'entrée de commande des moyens de multiplexage 4 (cas de la figure 5A) ou sur l'entrée de commande du circuit de commande 7 (cas de la figure 5B) est alors obtenu à partir de l'information I et du nombre de cellules 30 mémorisées.

REVENDICATIONS

1. Boucle à verrouillage de retard comprenant une chaîne de cellules de retard (R_1, R_2, \dots, R_n) montées en série, un signal de retard délivré par la 5 boucle étant prélevé sur la sortie de l'une des cellules de retard étant connectée à une première entrée d'un détecteur de phase/fréquence (1) dont une deuxième entrée est connectée à une sortie de cellule de retard, 10 caractérisée en ce qu'elle comprend des moyens de commande (4, 7) aptes à modifier , au rythme d'un signal d'horloge (H) et sous l'action d'une information de commande (I), la sortie de la cellule de retard qui est connectée à la deuxième entrée du détecteur 15 phase/fréquence (1) .

2. Boucle à verrouillage de retard selon la revendication 1, caractérisée en ce que les moyens de commande comprennent des moyens de multiplexage (4) ayant n entrées et une sortie, chaque entrée des moyens 20 de multiplexage (4) étant reliée à une sortie de cellule de retard différente, la sortie des moyens de multiplexage étant reliée à la deuxième entrée du détecteur phase/fréquence.

3. Boucle à verrouillage de phase selon la 25 revendication 2, caractérisée en ce que les moyens de multiplexage (4) comprennent un multiplexeur (5) et un modulateur sigma delta (6) ayant une entrée d'horloge sur laquelle est appliqué le signal d'horloge (H) et une entrée de signal sur laquelle est appliquée 30 l'information de commande (I), le modulateur sigma

delta (6) délivrant un signal de commande numérique appliquée au multiplexeur (5).

4. Boucle à verrouillage de retard selon la revendication 1, caractérisée en ce que les moyens de commande comprennent un premier ensemble d'interrupteurs I_{qi} ($i=1, 2, \dots, n$), un deuxième ensemble d'interrupteurs I_{pi} ($i=1, 2, \dots, n$) et un circuit de commande (7) ayant une entrée d'horloge sur laquelle est appliquée le signal d'horloge (H) et une entrée de commande sur laquelle est appliquée l'information de commande (I), l'interrupteur I_{pi} étant placé en sortie de la cellule de retard R_i de rang i et l'interrupteur I_{qi} étant placé en parallèle de l'ensemble formé par la cellule de retard R_i de rang i et par l'interrupteur I_{pi} , les interrupteurs I_{pi} et I_{qi} étant commandés par des signaux de commande respectifs p_i et q_i issus du circuit de commande (7).

5. Boucle à verrouillage de retard selon la revendication 4, caractérisée en ce que des interrupteurs et des charges commutables sont placées en entrée et en sortie des différentes cellules de retard (R_1, R_2, \dots, R_n) de sorte que, lors du fonctionnement de la boucle, le nombre total d'interrupteurs utilisés dans la boucle soit constant et que chaque cellule de retard voit toujours la même charge sur son entrée et sur sa sortie.

6. Boucle à verrouillage de retard selon l'une quelconque des revendications 4 ou 5, caractérisée en ce que le circuit de commande (7) comprend un modulateur sigma delta ayant une entrée d'horloge sur

laquelle est appliquée le signal d'horloge (H) et une entrée de signal sur laquelle est appliquée le signal de commande (I) et un circuit de commande numérique sur lequel est appliqué un signal de commande numérique 5 délivré par le modulateur sigma delta.

7. Boucle à verrouillage de retard selon l'une quelconque des revendications précédentes, caractérisée en ce que l'information de commande (I) est une valeur fractionnaire p/q de sorte que la sortie de la chaîne 10 de retard est constituée par la sortie de la cellule de retard de rang n-1 pendant p coups d'horloge et par la sortie de la cellule de retard de rang n pendant q coups d'horloge, p et q étant deux nombres entiers, q étant supérieur à p, et que la valeur du retard d'une 15 cellule de retard est donnée par la formule :

$$\Delta t = \frac{q}{T} T / (qn-p), \text{ où}$$

T est la période d'un signal appliqué en entrée de la chaîne de retard.

8. Boucle à verrouillage de retard selon l'une 20 quelconque des revendications précédentes, caractérisée en ce que le signal d'horloge (H) est, à un retard près, identique à un signal appliqué sur la première entrée du détecteur de phase/fréquence (1).

9. Boucle à verrouillage de retard selon l'une 25 quelconque des revendications 1 à 7, caractérisée en ce que le signal d'horloge (H) est un signal dont la période est inférieure à la période du signal appliqué sur la première entrée du détecteur de phase/fréquence

(1) .

10. Boucle à verrouillage de retard selon l'une quelconque des revendications 1 à 9, caractérisée en ce qu'elle comprend des moyens (8, 9, 10) pour 5 sélectionner, pendant une phase d'accrochage de la boucle, un nombre de cellules de retard apte à éviter un blocage de la boucle.

11. Boucle à verrouillage de retard selon la revendication 10, caractérisée en ce que les moyens (8, 10 9, 10) pour sélectionner, pendant une phase d'accrochage de la boucle, le nombre de cellules de retard apte à éviter un blocage de la boucle comprennent un dispositif d'analyse de convergence (8), un commutateur (9) et un circuit de traitement (10), 15 l'entrée du dispositif d'analyse de convergence (8) étant reliée à la sortie du détecteur de phase/fréquence (1), le commutateur (9) étant commandé de façon à relier la sortie du dispositif de convergence (8) à l'entrée du circuit de traitement 20 (10), la sortie du circuit de traitement (10) étant reliée à une entrée de commande des moyens de commande (4, 7).

12. Boucle à verrouillage de retard selon la revendication 10 ou 11, caractérisée en ce qu'elle 25 comprend des moyens (10) pour mémoriser le nombre de cellules de retard sélectionné.

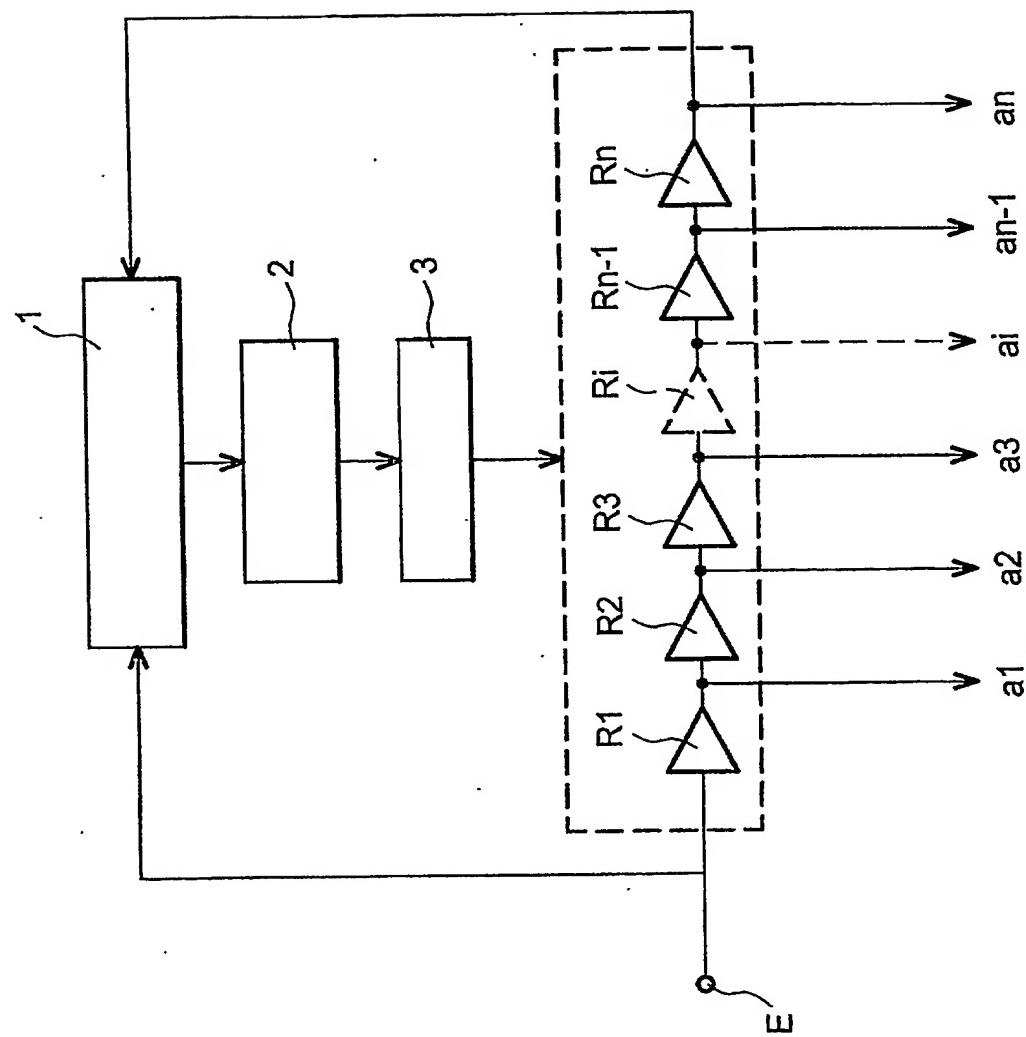


FIG. 1

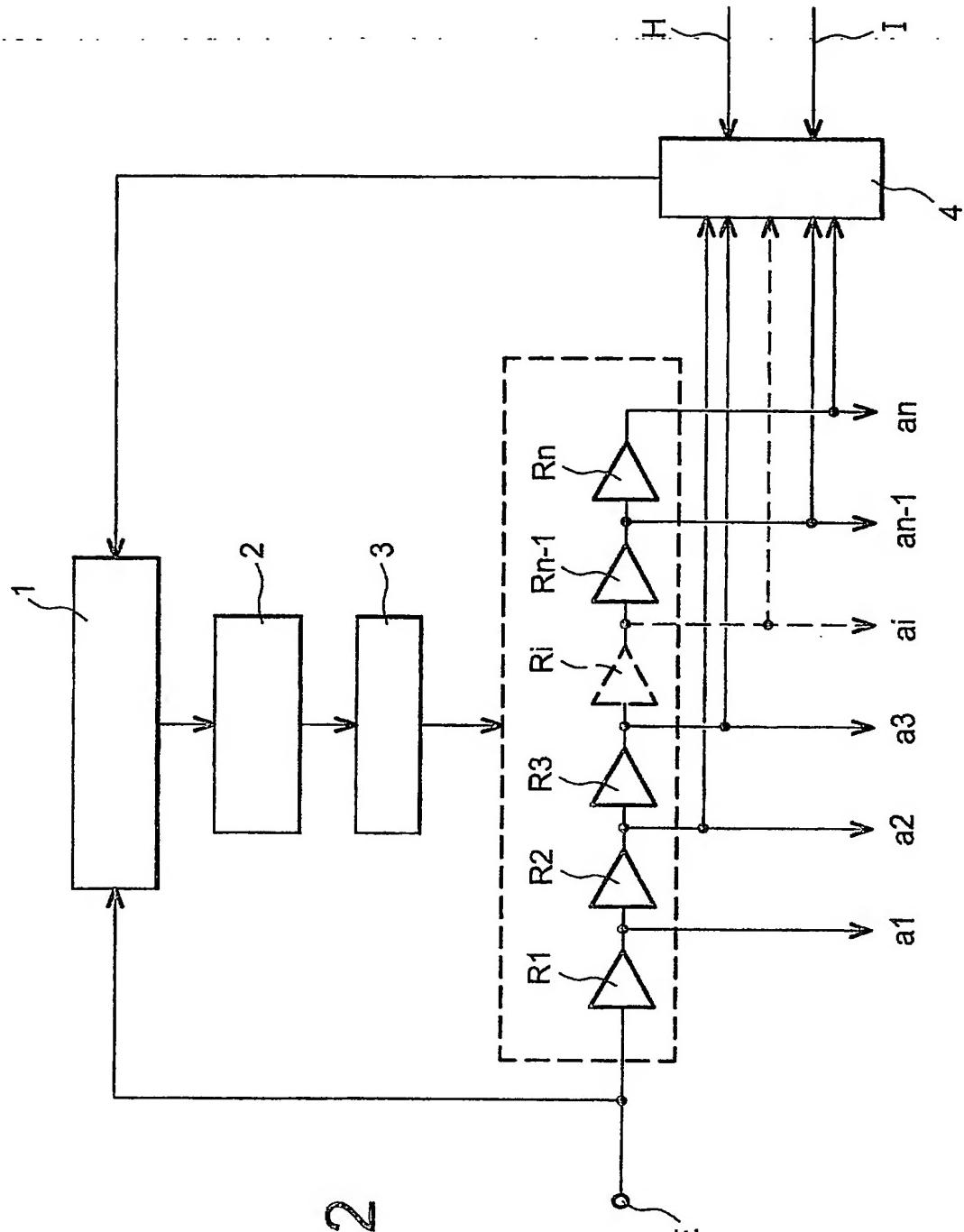
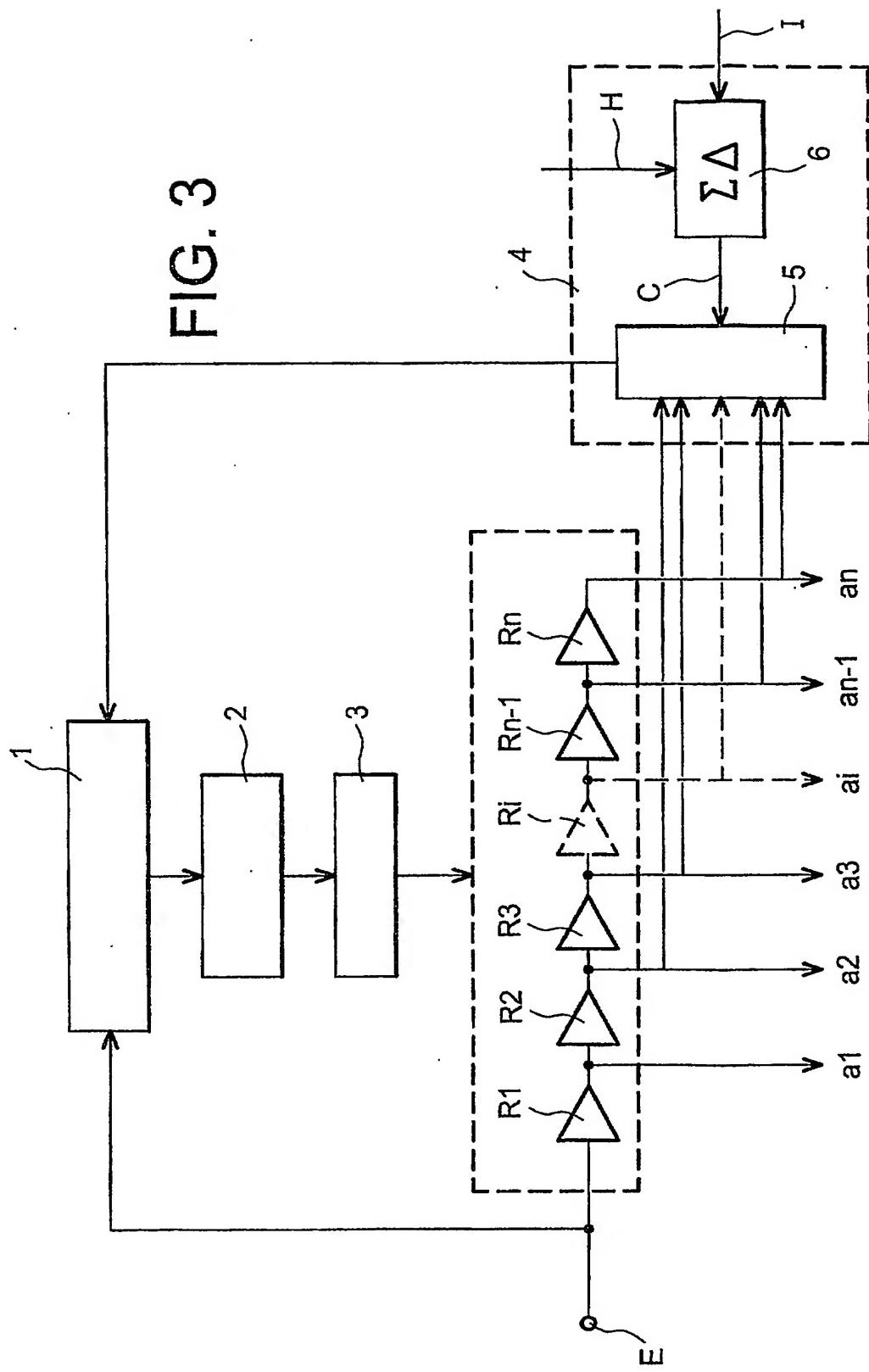


FIG. 2

FIG. 3



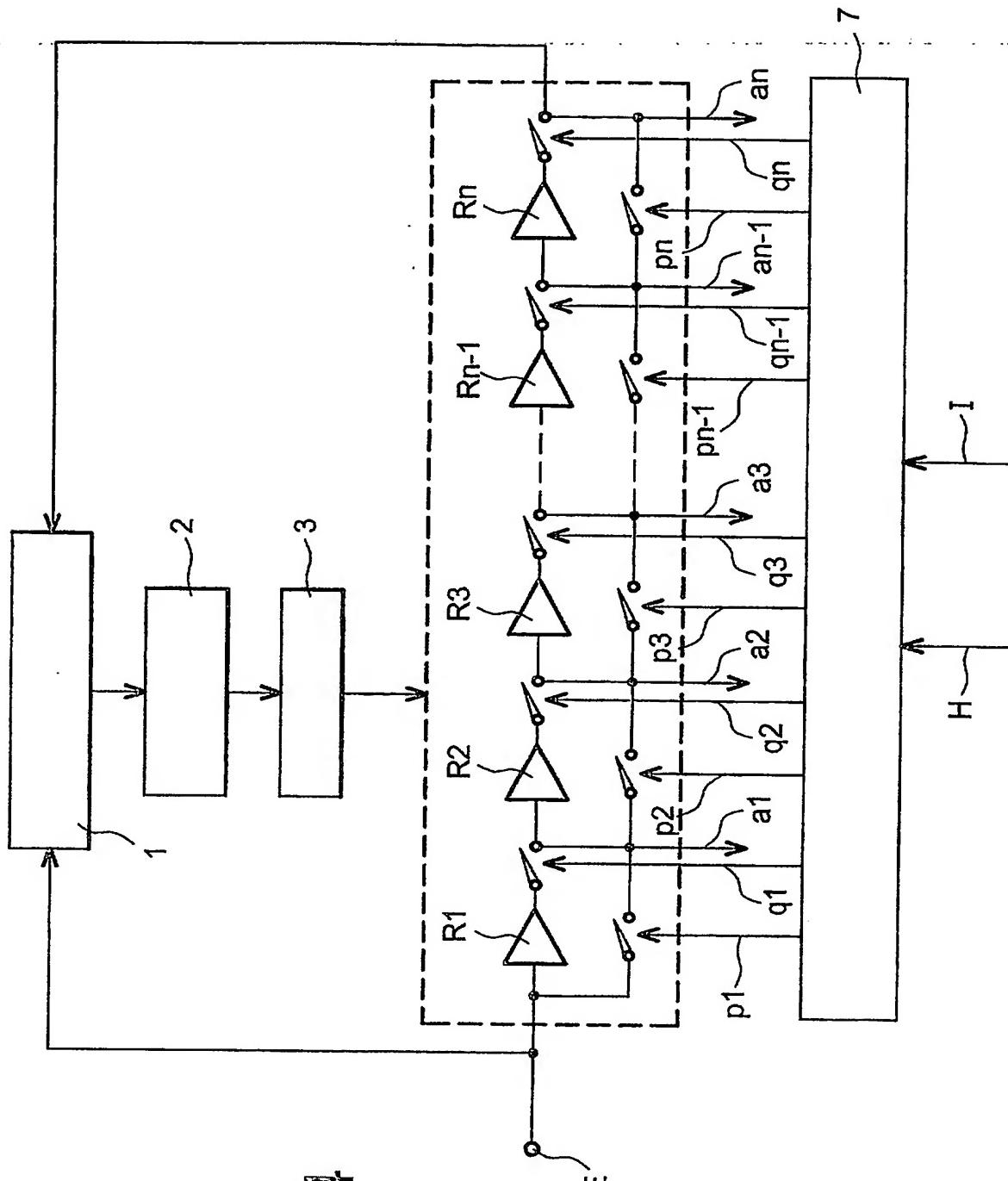
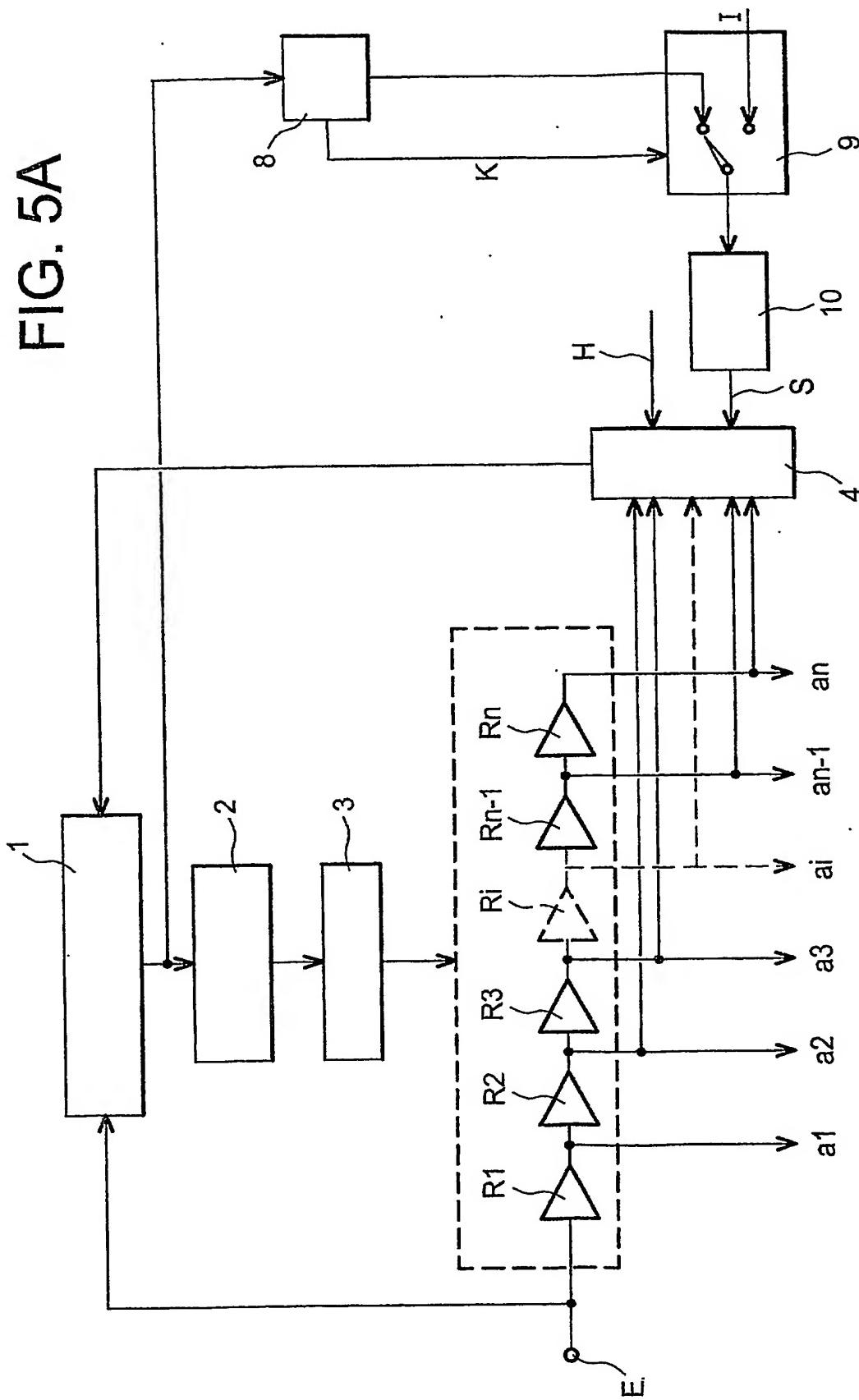


FIG. 4

FIG. 5A



6 / 6

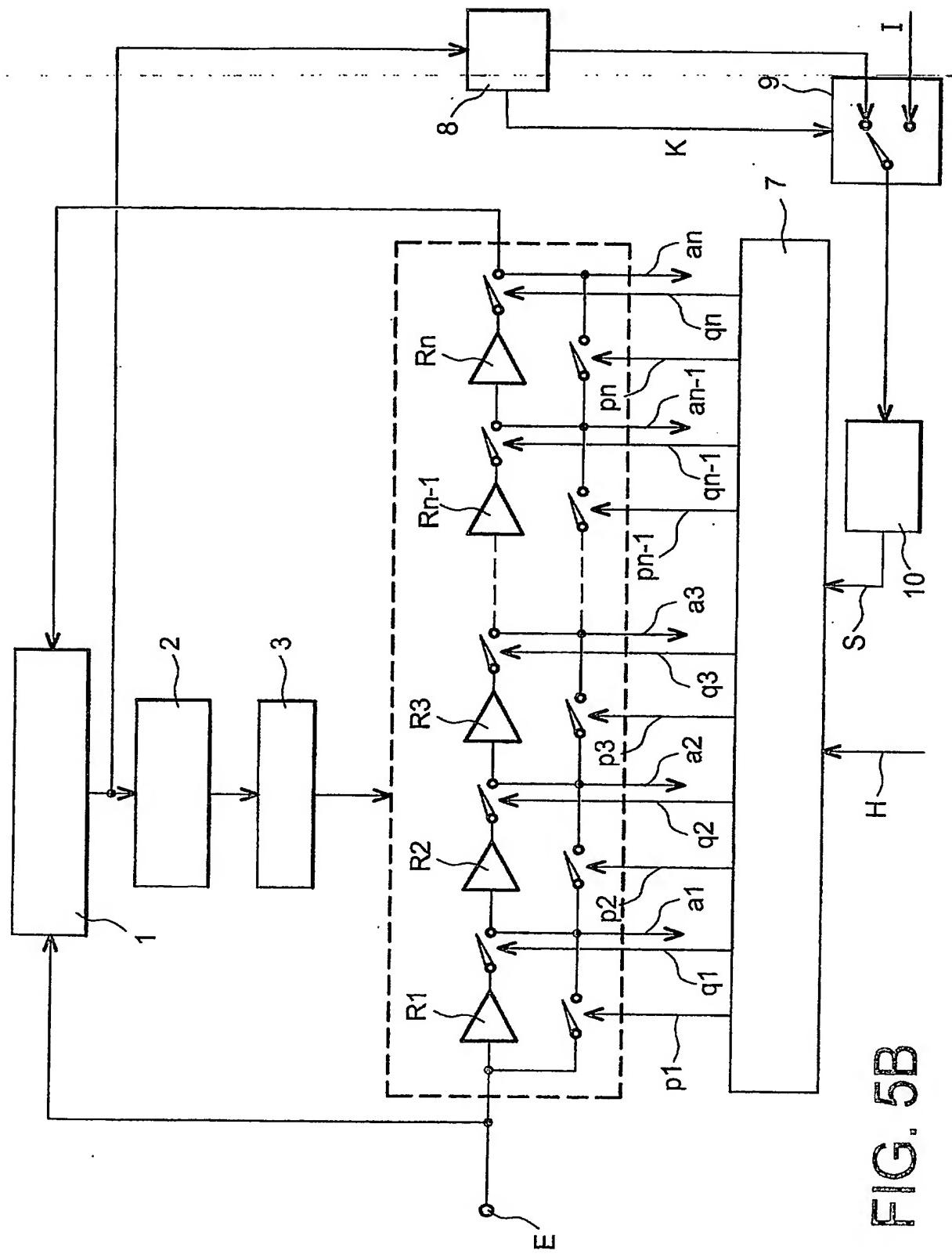


FIG. 5B



INSTITUT
NATIONAL DE
LA PROPRIÉTÉ
INDUSTRIELLE

DÉPARTEMENT DES BREVETS

26 bis, rue de Saint Pétersbourg
75800 Paris Cedex 08
Téléphone : 01 53 04 53 04 Télécopie : 01 42 93 59 30

BREVET D'INVENTION

CERTIFICAT D'UTILITÉ

Code de la propriété intellectuelle - Livre VI



N° 11235*02

DÉSIGNATION D'INVENTEUR(S) Page N° 1.. / 1..

(Si le demandeur n'est pas l'inventeur ou l'unique inventeur)

Cet imprimé est à remplir lisiblement à l'encre noire

09 113 W / 260899

Vos références pour ce dossier <i>(facultatif)</i>	B 13989.3 PR		
N° D'ENREGISTREMENT NATIONAL	0207860		
TITRE DE L'INVENTION (200 caractères ou espaces maximum) BOUCLE A VEROUILLAGE DE RETARD			
LE(S) DEMANDEUR(S) : COMMISSARIAT A L'ENERGIE ATOMIQUE 31/33 rue de la Fédération 75752 PARIS 15ème			
DESIGNE(NT) EN TANT QU'INVENTEUR(S) : (Indiquez en haut à droite «Page N° 1/1» Si il y a plus de trois inventeurs, utilisez un formulaire identique et numérotez chaque page en indiquant le nombre total de pages).			
Nom		MORCHE	
Prénoms		Dominique	
Adresse	Rue	10 allée du Mijou	
	Code postal et ville	38240	MEYLAN FRANCE
Société d'appartenance <i>(facultatif)</i>			
Nom			
Prénoms			
Adresse	Rue		
	Code postal et ville		
Société d'appartenance <i>(facultatif)</i>			
Nom			
Prénoms			
Adresse	Rue		
	Code postal et ville		
Société d'appartenance <i>(facultatif)</i>			
DATE ET SIGNATURE(S)			
DU (DES) DEMANDEUR(S)			
OU DU MANDATAIRE			
(Nom et qualité du signataire)			
PARIS LE 19 Juin 2002			
P. RICHARD <i>P. Richard</i> 422-5/002			

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.